

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) Numéro de publication:

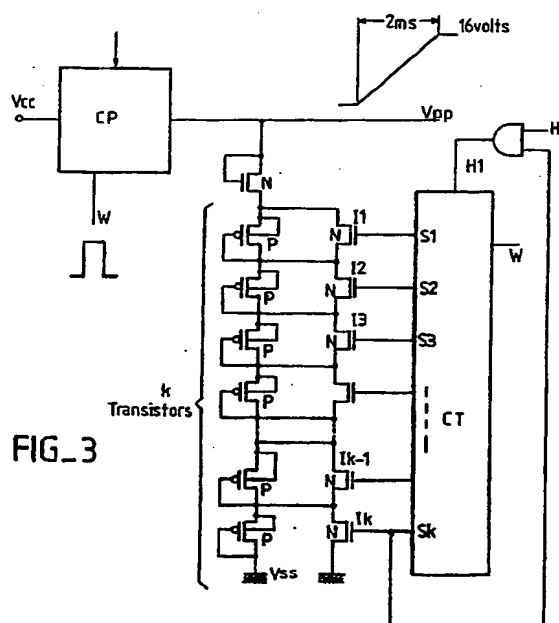
0 432 050 A1

(12)

DEMANDE DE BREVET EUROPEEN(21) Numéro de dépôt: **90403480.8**(51) Int. Cl.⁵: **G11C 16/06**(22) Date de dépôt: **06.12.90**(30) Priorité: **07.12.89 FR 8916198**(43) Date de publication de la demande:
12.06.91 Bulletin 91/24(84) Etats contractants désignés:
DE FR GB IT(71) Demandeur: **SGS-THOMSON
MICROELECTRONICS S.A.
7, Avenue Galliéni
F-94250 Gentilly(FR)**(72) Inventeur: **Edme, Franck, Cabinet
Ballot-Schmidt
7, rue Le Sueur
F-75116 Paris(FR)**(74) Mandataire: **Schmit, Christian Norbert Marie
et al
Cabinet Ballot-Schmit 7, rue Le Sueur
F-75116 Paris(FR)**(54) **Circuit de génération de tension de programmation pour mémoire programmable.**

(57) L'invention concerne les mémoires programmables électriquement.

Ces mémoires comprennent souvent un circuit interne d'élaboration d'une tension de programmation V_{pp} supérieure à la tension d'alimentation. Ce circuit est constitué par une pompe de charge (CP) suivie d'un régulateur de tension (REG). Habituellement, on prévoit derrière le régulateur un circuit analogique transformant l'échelon de tension V_{pp} , établi par la pompe de charge, en un signal à front de montée lent (pour réduire les contraintes sur les cellules programmées et augmenter leur durée de vie). On propose ici un circuit plus simple comprenant une commande numérique du régulateur (REG) pour établir une tension de régulation croissant progressivement d'une valeur basse jusqu'à la valeur V_{pp} désirée. Un compteur à k sorties (CT) permet de court-circuiter et décourt-circuiter progressivement les divers transistors en série constituant le régulateur REG, faisant ainsi croître lentement la tension de régulation.

**FIG. 3****EP 0 432 050 A1**

CIRCUIT DE GENERATION DE TENSION DE PROGRAMMATION POUR MEMOIRE PROGRAMMABLE

L'invention concerne les mémoires électrique-ment programmables en circuit intégré, connues généralement sous l'appellation "mémoires EE-PROM" ou "mémoires EPROM" selon qu'elles sont effaçables électriquement ou non, ou encore "flash EPROM" lorsqu'elles sont effaçables par blocs.

Pour programmer ces mémoires, il est généralement nécessaire de disposer dans le circuit intégré d'une tension dite "tension de programmation", V_{pp} , qui est nettement supérieure à la tension d'alimentation normale V_{cc} du circuit. Par exemple, V_{cc} est couramment égal à 5 volts et V_{pp} à 15 volts ou plus.

Dans certaines mémoires, la tension de programmation V_{pp} est fournie par une alimentation extérieure. Mais cela nécessite alors une borne d'alimentation spécifique supplémentaire pour le circuit intégré. Les bornes supplémentaires grèvent fortement le coût des circuits intégrés et on préfère les éviter.

C'est pourquoi on a proposé des mémoires intégrées, dans lesquelles la tension de programmation V_{pp} est produite à l'intérieur même du circuit intégré, à partir de la tension d'alimentation normale V_{cc} . On utilise pour cela un circuit classiquement appelé pompe de charge ou élévateur de tension qui reçoit V_{cc} et établit une tension V_{pp} supérieure à V_{cc} .

Les circuits élévateurs utilisent à la base tout simplement des interrupteurs, deux capacités, et une horloge à deux phases pour actionner les interrupteurs. Dans un premier temps on charge la première capacité à 5 volts, puis on la décharge dans la deuxième. Puis un cycle recommence : premier temps, charge de la première capacité à 5 volts, et deuxième temps, décharge dans la deuxième (cette fois la deuxième est déjà partiellement chargée); la tension aux bornes de la deuxième capacité augmente alors. Et ainsi de suite, en quelques coups d'horloge à deux phases, on atteint une tension double de V_{cc} sur la deuxième capacité. Avec deux étages, on multiplie la tension V_{cc} par 4 en quelques coups d'horloge.

La tension de sortie du circuit élévateur à plusieurs étages est régulée par un régulateur comme le représente la figure 1. Ce régulateur est constitué par une chaîne de transistors qui sont montés en diodes pour établir chacun entre sa source et son drain une tension égale à sa tension de seuil. Selon la technologie mise en oeuvre, la tension de seuil varie et le nombre de transistors en série permet de définir la tension régulée en sortie du régulateur.

Par exemple, pour une tension de seuil de

l'ordre de 1 volt des transistors en série montés en diode, il faut 16 transistors pour établir une tension régulée V_{pp} de l'ordre de 16 volts.

Un des problèmes de ces montages de production de V_{pp} à l'intérieur du circuit intégré est le suivant : la tension en sortie de l'élévateur de tension et aux bornes du régulateur augmente trop rapidement: avec une horloge de fréquence de l'ordre du mégahertz, il ne faut que quelques microsecondes, par exemple 20 microsecondes pour que la tension atteigne V_{pp} .

Or on s'est aperçu que lorsque V_{pp} augmente trop rapidement, la durée de vie des cellules de la mémoire programmées par V_{pp} diminue considérablement. En effet, V_{pp} n'est produit qu'au moment de la programmation d'une cellule et le front de montée de V_{pp} est appliqué directement à la cellule de mémoire en cours de programmation. Le temps de montée trop rapide de V_{pp} produit des champs électriques induisant une détérioration de l'oxyde de grille des transistors à grille flottante constituant la mémoire.

Pour réduire le temps de montée, on utilise en général en sortie du régulateur une circuiterie analogique complexe et encombrante, délicate à mettre au point et sensible aux paramètres technologiques et à la température. Cette circuiterie produit une tension V_{pp} montant selon une rampe dont le temps de montée est de l'ordre de 1 à 2 millisecondes, ce qui convient beaucoup mieux et qui permet de faire passer la durée de vie des cellules de 1000 programmations à 100000 programmations.

L'invention a pour but de proposer un circuit beaucoup plus simple à mettre en oeuvre pour limiter le temps de montée de V_{pp} et ainsi augmenter la durée de vie des cellules programmées. Au lieu de constituer une rampe analogique en sortie du régulateur, on commande numériquement la croissance de la tension établie par le régulateur lui-même, au moyen d'un compteur numérique dont la fréquence de comptage est telle que la tension régulée augmente avec la lenteur désirée.

Pour cela, on propose une mémoire électriquement programmable comportant un circuit d'élaboration d'une tension de programmation V_{pp} à partir d'une tension d'alimentation plus basse V_{cc} , le circuit d'élaboration de V_{pp} comportant un circuit élévateur de tension suivi d'un régulateur de tension servant à limiter la tension V_{pp} à une valeur limite désirée, caractérisé en ce qu'il est prévu un moyen pour commander numériquement le régulateur de manière à faire croître progressivement la tension limite qu'il impose, depuis une valeur basse jusqu'à la valeur de tension de programmation

Vpp désirée.

Le régulateur comporte de préférence un ensemble de transistors en série, et le moyen de commande numérique relie successivement en série un puis deux puis trois, etc, transistors du régulateur, sous la commande d'un compteur contrôlé par une horloge, de manière à augmenter progressivement, au rythme de l'horloge, la tension aux bornes de l'ensemble en série.

Les transistors sont montés en diode et établissent entre source et drain une tension égale à leur tension de seuil; le moyen de commande numérique comprend de préférence un compteur apte à établir un état logique déterminé successivement sur chacune de ses sorties, et des interrupteurs commandés par les sorties du compteur pour initialement court-circuiter les transistors, puis progressivement les découpler les uns après les autres au fur et à mesure du comptage. Il est possible aussi que le compteur commande directement les transistors eux-mêmes pour les placer d'abord dans une configuration où ils sont complètement conducteurs puis dans une configuration où ils établissent une tension de seuil entre source et drain (montage en diode).

Les transistors sont de préférence réalisés chacun dans un caisson séparé diffusé dans un substrat semiconducteur.

Le compteur est un circuit à k sorties établissant à chaque coup d'horloge un niveau logique déterminé sur une nouvelle sortie, en laissant subsister à chaque fois le niveau établi sur la sortie précédente. Le compteur ne revient pas à zéro à la fin de l'activation des k sorties : les niveaux, activés, servant à découpler les transistors, restent activés autant de temps que la tension de programmation Vpp doit rester présente.

Le régulateur comprend de préférence encore un transistor supplémentaire, de type opposé aux autres, monté avec sa grille et son drain reliés.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 représente un schéma bloc d'un circuit d'élaboration de la tension de programmation Vpp dans l'art antérieur;
- la figure 2 représente un schéma plus détaillé du circuit de la figure 1;
- la figure 3 représente un mode de réalisation de l'invention;
- la figure 4 représente un diagramme temporel de signaux électriques correspondant au circuit de la figure 3.

Le principe d'un circuit d'élaboration de la tension Vpp, dans une mémoire électriquement programmable de l'art antérieur, est rappelé à la figure 1.

Le circuit comprend d'abord une "pompe de charge" CP qui est un circuit élévateur de tension recevant d'une part la tension d'alimentation normale Vcc (en général 5 volts) et d'autre part un signal d'horloge H, et fournissant une tension plus élevée HIV qui est appliquée à un régulateur de tension REG. La pompe de charge CP est activée seulement au moment où une étape d'écriture dans la mémoire programmable doit être effectuée. On peut prévoir par exemple qu'un signal de commande d'écriture W est appliqué à la pompe de charge CP pour déclencher la production d'une tension HIV.

Le régulateur de tension REG a pour fonction de limiter la tension HIV à une valeur déterminée, par exemple 16 volts.

En sortie du régulateur, on obtient, au moment de l'activation du signal d'écriture W, une tension croissant avec un front de montée assez raide (par exemple 20 microsecondes), jusqu'à la valeur HIV définie par le régulateur. En effet, l'horloge est une horloge assez rapide (par exemple 1 mégahertz ou plus) et il ne faut que quelques cycles d'horloge pour que la pompe de charge fournisse un potentiel de 16 volts par exemple.

Comme on a constaté que cette trop grande rapidité de la montée de tension engendre une réduction de la durée de vie des cellules programmées à l'aide de la tension HIV ainsi obtenue, on place à la sortie du régulateur un circuit analogique RMP dont la fonction est d'établir une rampe de croissance plus progressive de la tension de programmation. Ce circuit RMP reçoit la tension HIV et fournit une tension en forme de rampe croissante de 0 à une valeur Vpp (qui peut être égale à la valeur HIV), la pente de croissance étant d'environ 1 à 2 millisecondes pour aller de 0 à Vpp. Cette valeur de 1 à 2 millisecondes résulte d'un compromis entre la nécessité de ne pas détériorer les cellules et la nécessité de limiter la durée des opérations de programmation.

Les circuits RMP utilisés dans la technique antérieure sont complexes (typiquement plusieurs dizaines de transistors), encombrants (ils utilisent des capacités) et ils sont très dépendants des paramètres de réalisation technologiques et de la température.

La figure 2 représente plus en détail certains éléments de la figure 1; notamment elle représente symboliquement et à titre d'illustration, la manière dont peut être réalisée une pompe de charge CP à un seul étage; elle représente aussi en détail le régulateur REG.

Le régulateur REG comprend essentiellement un ensemble de k transistors en série, chaque transistor étant monté en diode, avec sa grille reliée à son drain, de manière que s'établisse entre drain et source de chaque transistor une tension

égale à la tension de seuil de ce transistor; il s'établit donc aux bornes de l'ensemble en série des k transistors, dès lors que la tension aux bornes de cet ensemble les met en régime de saturation, une tension égale à la somme des tensions de seuil de tous les transistors, c'est-à-dire égale à k fois la tension de seuil des transistors s'ils ont tous la même tension de seuil V_{tp} .

Dans l'exemple représenté, l'ensemble en série comprend k transistors à canal P pour une réalisation sur substrat P, chacun des transistors étant réalisé dans un caisson séparé des autres pour avoir une tension de seuil plus stable (suppression de l'effet dit "de substrat" sur la tension de seuil). Le régulateur comprend de préférence en outre un transistor supplémentaire, à canal N, en série avec l'ensemble des transistors P et réalisé directement dans le substrat. Une extrémité de l'ensemble en série des transistors P est reliée au potentiel de masse V_{ss} . L'autre extrémité est reliée à la source du transistor N; celui-ci a son drain relié à la tension de sortie HIV de la pompe de charge.

Le transistor N est lui-même également monté en diode, avec sa grille reliée à son drain. Son rôle est accessoire et il pourrait être supprimé sans rien changer au principe de l'invention.

Le régulateur, ainsi constitué d'un ensemble de transistors en série monté entre la tension HIV et la masse V_{ss} , limite la tension HIV à une valeur $V_{tn} + kV_{tp}$. Selon la valeur de tension V_{pp} désirée et selon la valeur des tensions de seuil des transistors P et N, on choisit le nombre k de transistors nécessaire.

On pourrait éventuellement avoir k transistors P et k' transistors N. Toutefois on aurait une moins bonne stabilité de tension régulée.

Dans un exemple numérique, la tension de seuil V_{tp} est de l'ordre de 1 volt, et la tension de seuil V_{tn} est également de l'ordre de 1 volt (transistor de type naturel, avec effet de substrat). Une quinzaine de transistors P sont nécessaires pour avoir une tension V_{pp} d'une quinzaine de volts.

La figure 3 représente un schéma de réalisation d'un circuit d'élaboration de V_{pp} selon l'invention.

Ce circuit a l'avantage d'utiliser exactement la même pompe de charge et le même régulateur que dans la technique antérieure. Mais il n'utilise plus de circuit de rampe RMP pour convertir une tension HIV à front de montée raide en une tension V_{pp} à front plus modéré. La tension V_{pp} désirée, à front de montée modéré, est directement obtenue en sortie de la pompe de charge et du régulateur.

Pour cela, on utilise une commande numérique par un compteur CT pour commander le régulateur et lui faire fournir une tension de régulation variable selon un profil désiré.

L'exemple le plus simple est représenté à la figure 3. Il utilise exactement le même schéma de régulateur que celui qui a été décrit en référence à la figure 2; il utilise aussi un compteur CT à k sorties $S1, S2, S3 \dots Sk$. Le compteur est commandé par une horloge H1 qui sera en général une horloge obtenue par division de fréquence à partir de l'horloge H de la pompe de charge.

Les sorties du compteur commandent des interrupteurs $I1, I2, \dots Ik$, capables de court-circuiter ou décourt-circuiter chacun des transistors de l'ensemble en série de k transistors du régulateur.

Ainsi, la sortie $S1$ permet de court-circuiter le transistor P le plus proche de V_{pp} , la sortie $S2$ le suivant, etc, et la sortie Sk permet de court-circuiter le transistor P relié à la masse. Les niveaux logiques présents sur les sorties $S1, S2 \dots$ sont entre 0 volt et la haute tension V_{pp} , le compteur étant par conséquent alimenté par la tension V_{pp} produite.

Le compteur se déclenche lors de l'ordre de production d'une tension V_{pp} , ordre fourni par exemple par le signal W qui déclenche aussi la pompe de charge. Au démarrage, le compteur a toutes ses sorties dans un état logique tel qu'elles court circuitent tous les transistors. Dans l'exemple représenté, les interrupteurs commandés par les sorties du compteur sont des transistors à canal N et sont court-circuités par une tension de niveau haut sur leur grille. On supposera donc qu'au départ les sorties du compteur fournissent toutes un état logique haut.

Le signal W autorise alors le comptage par le compteur. Le compteur n'est pas un compteur binaire (ou s'il l'est il est suivi d'un décodeur); il établit au premier coup d'horloge un état bas sur la sortie $S1$, puis, au deuxième coup d'horloge, un état bas sur la sortie $S2$ sans modifier l'état bas de $S1$, et ainsi de suite, il établit un état bas sur chacune des sorties successives jusqu'à Sk en laissant à chaque fois la sortie précédente dans l'état où il l'a mise au coup d'horloge précédent. En seize coups d'horloge, dans un exemple avec seize transistors P, les sorties sont toutes passées à l'état bas et tous les transistors du régulateur sont décourt-circuités pour aboutir à la constitution de régulateur conforme à la figure 2.

Lorsque la dernière sortie Sk passe à l'état bas elle bloque le comptage (par exemple en bloquant l'horloge H1), de sorte que le régulateur reste dans cette configuration, jusqu'à la fin de l'ordre de production de V_{pp} , ou même, en pratique, jusqu'à un nouvel ordre d'élaboration de V_{pp} (nouveau signal d'écriture W).

Il en résulte que même si la pompe de charge produit très rapidement une tension élevée, le régulateur va limiter cette tension à une valeur qui sera d'abord V_{tn} (tension de seuil du transistor N

de l'ensemble en série), puis $V_{tn} + V_{tp}$, puis $V_{tn} + 2V_{tp}$, etc, jusqu'à $V_{tn} + kV_{tp}$ c'est-à-dire la tension V_{pp} finale désirée.

La tension V_{pp} ainsi limitée par le régulateur à seuil variable va monter en escalier au rythme de l'horloge H1 (qu'il est facile de contrôler précisément et d'élaborer par division de fréquence de l'horloge H de la pompe de charge).

La figure 4 représente cette croissance de la tension limite du régulateur (donc la croissance de V_{pp}) en relation avec la commutation de l'état logique des sorties successives S1 à Sk du compteur CT.

Dans un exemple numérique inspiré de celui utilisé dans la technique antérieure, on aura par exemple un transistor à canal N en série avec 16 transistors à canal P, les tensions de seuil étant de 1 volt environ. Dans ce cas, le compteur aura 16 sorties, et pour obtenir une tension passant de 0 volts à 16 ou 17 volts environ en un peu moins de 2 millisecondes, il faudra prendre une horloge H1 de 10 kilohertz. Plus généralement, pour obtenir un temps de montée T_m avec un compteur à k sorties et un régulateur ayant k tensions limites possibles, on utilisera une horloge de fréquence k/T_m . La fréquence pourra être entre $k/2$ et k kilohertz pour un temps de montée de 1 à 2 millisecondes.

L'expérience montre que les échelons de la tension V_{pp} ne sont pas très gênants; d'une part ils n'existent que pendant la phase transitoire de montée de V_{pp} ; d'autre part les nombreuses résistances et capacités parasites des circuits que V_{pp} est destinée à alimenter atténuent très fortement ces échelons.

Revendications

1. Mémoire électriquement programmable, comportant un circuit d'élaboration d'une tension de programmation V_{pp} supérieure à la tension d'alimentation normale V_{cc} de la mémoire, ce circuit comportant un circuit élévateur de tension (CP) délivrant en sortie la tension V_{pp} , et suivi d'un régulateur de tension (REG) servant à limiter la tension V_{pp} à une valeur limite désirée, caractérisé en ce qu'il est prévu un moyen (CT; II à Ik) pour commander numériquement le régulateur de manière à faire croître progressivement par échelons la tension limite établie par le régulateur en sortie du circuit élévateur de tension, depuis une valeur faible jusqu'à la valeur V_{pp} désirée.

2. Mémoire selon la revendication 1, caractérisée en ce que le régulateur comprend entre la tension V_{pp} et la masse, un ensemble de transistors en série, montés en diode et éta-

blissant entre source et drain une tension égale à leur tension de seuil (V_{tp}), et en ce que le moyen de commande numérique comprend un compteur (CT) apte à établir un état logique déterminé successivement sur chacune de ses sorties, et un moyen (II à Ik) commandé par les sorties du compteur pour initialement court-circuiter les transistors, puis progressivement les décourt-circuiter les uns après les autres au fur et à mesure du comptage.

3. Mémoire selon la revendication 2, caractérisée en ce que le compteur est un circuit à k sorties établissant à chaque coup d'horloge un niveau logique déterminé sur une nouvelle sortie, en laissant subsister à chaque fois le niveau établi sur la sortie précédente, et en ce qu'il est prévu un moyen pour arrêter le comptage lorsque la dernière sortie a été mise au niveau déterminé,

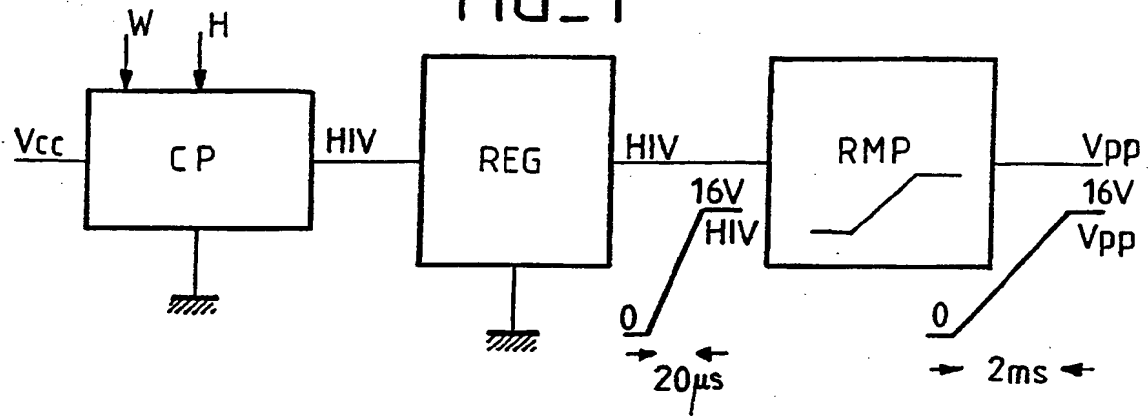
4. Mémoire selon la revendication 3, caractérisée en ce que le compteur et la pompe de charge sont activés par un signal (W) de commande de programmation de la mémoire.

5. Mémoire selon l'une des revendications 2 à 4, caractérisée en ce que les transistors sont réalisés chacun dans un caisson séparé diffusé dans un substrat semiconducteur.

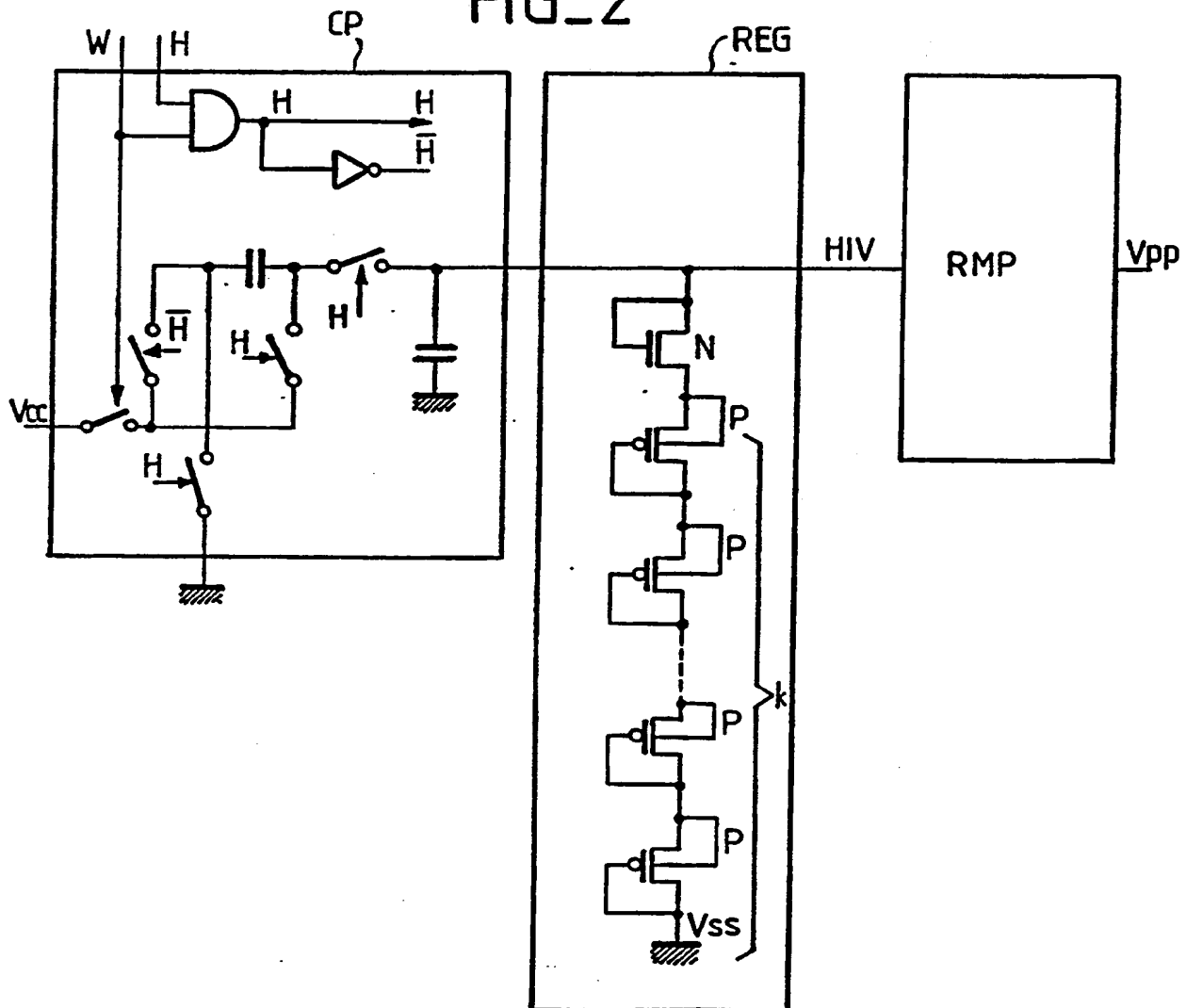
6. Mémoire selon la revendication 5, caractérisée en ce que les transistors sont de même type, et en ce que le régulateur comporte au moins un transistor supplémentaire de type opposé.

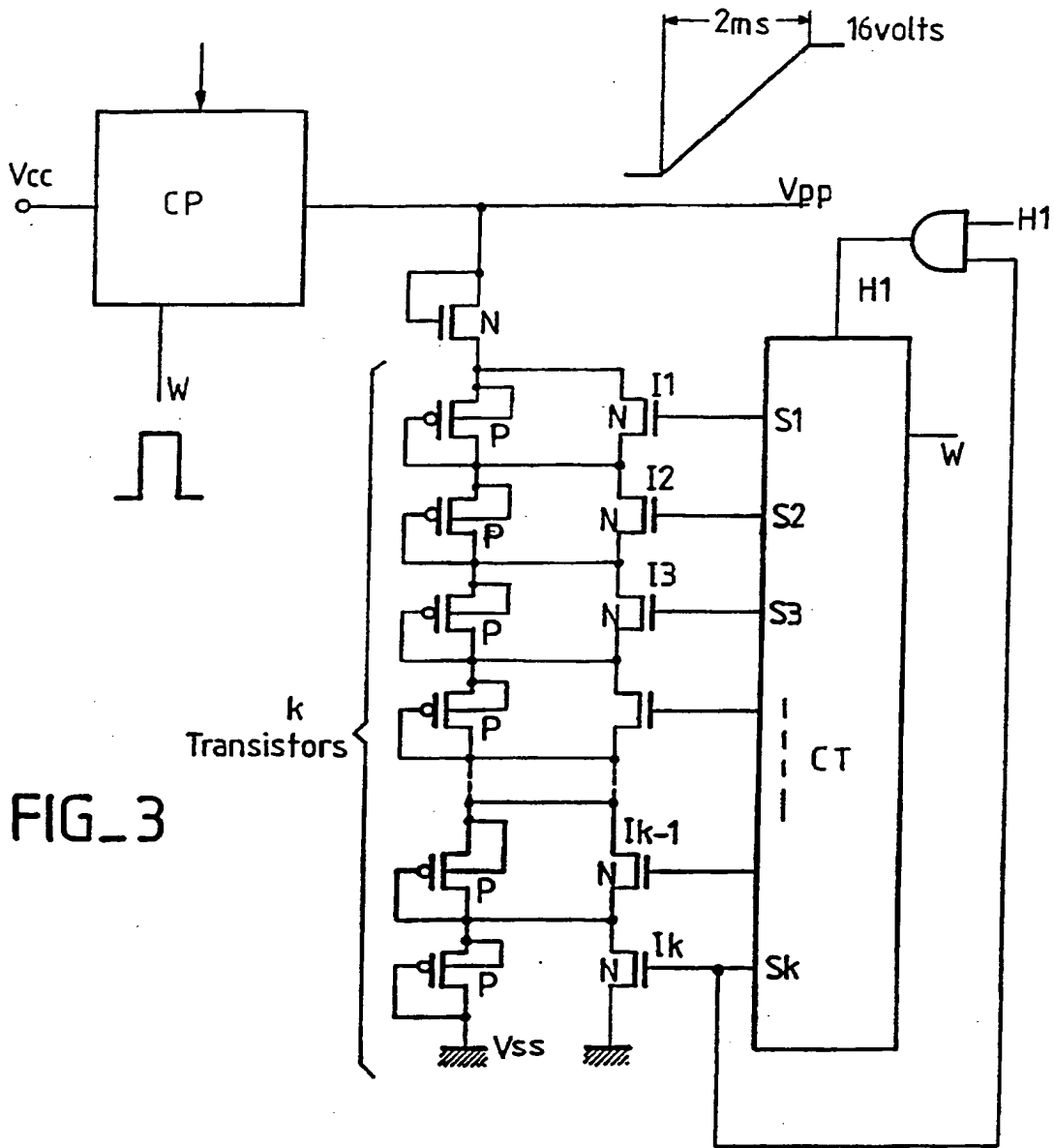
7. Mémoire selon l'une des revendications 1 à 6, caractérisée en ce que le compteur comporte k sorties et en ce qu'il est incrémenté à une fréquence de l'ordre de $k/2$ à k kilohertz, pour obtenir un temps de croissance de la tension V_{pp} de l'ordre de 1 à 2 millisecondes.

FIG_1

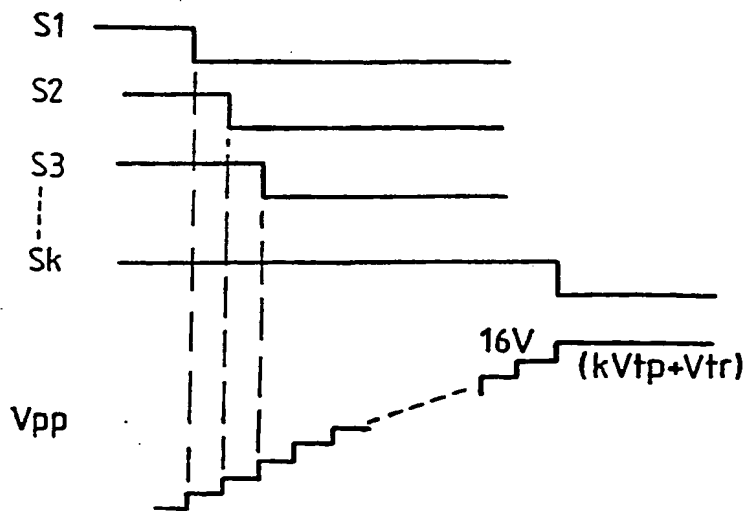


FIG_2





FIG_3



FIG_4



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande

EP 90 40 3480

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
Y	COMPUTER DESIGN, vol. 22, no. 7, juin 1983, pages 191-196, Winchester, MA, US; K.W. POPE: "No waiting - EEPROM at work" * Figures 1,2; page 191, colonne 2, ligne 10 - page 192, colonne 2, ligne 29 *	1	G 11 C 16/06
A	IDEM	2	
Y	US-A-4 447 747 (LAPOTIN) * Figures 1-3; colonne 2, lignes 30-56 *	1	
A		2,3	
A	EP-A-0 217 718 (THOMSON) * Figure 6; colonne 9, lignes 8-36 *	1,2,4	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
			G 11 C 17 G 11 C 16 G 11 C 7 G 06 G 7 H 03 K 4
Le présent rapport de recherche a été établi pour toutes les revendications			
Lieu de la recherche		Date d'achèvement de la recherche	Examineur
La Haye		20 février 91	LINDQUIST J.W.
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons ----- & : membre de la même famille, document correspondant			